

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年   1 月 1 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 1 0 1 3 3  
Application Number:

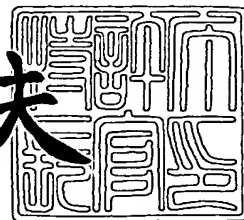
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 1 0 1 3 3 ]

出      願      人                      株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 8 6 6 8 9

【書類名】 特許願

【整理番号】 A000205173

【提出日】 平成15年 1月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法および半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 増田 秀顯

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 宮島 秀史

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 中田 鍊平

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上の絶縁膜に下層配線をその表面の一部が露出するように形成する工程と、

前記下層配線の露出部を含む前記絶縁膜表面に保護膜を形成する工程と

前記保護膜表面に第 1 ポーラス膜、第 1 非ポーラス膜、第 2 ポーラス膜および第 2 非ポーラス膜をこの順序で積層して多層構造膜を形成する工程と、

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記第 1 ポーラス膜および第 1 非ポーラス膜にビアホールを形成し、前記第 2 ポーラス膜および第 2 非ポーラス膜に前記ビアホールと連通する配線溝を形成する工程と、

前記レジストマスクを除去する工程と、

前記レジストマスクを除去した後に前記ビアホール底に露出した前記保護膜を除去する工程と、

前記ビアホールおよび配線溝に配線材料を埋め込むことにより前記下層配線と接続されるデュアルダマシン構造の上層配線を形成する工程と

を含む半導体装置の製造にあたり、

前記第 1 非ポーラス膜として、少なくとも 2 つの層を有し、前記第 1 ポーラス膜側に位置する第 1 層が前記保護膜に対してエッチング選択比の高い材料からなり、この第 1 層より前記第 2 ポーラス膜側に位置する第 2 層が前記レジストマスクおよび前記第 2 ポーラス膜に対してエッチング選択比の高い材料からなる積層膜を用いることを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上の絶縁膜に下層配線をその表面の一部が露出するように形成する工程と、

前記下層配線の露出部を含む前記絶縁膜表面に保護膜を形成する工程と

前記保護膜表面に第 1 ポーラス膜、第 1 非ポーラス膜、第 2 ポーラス膜および第 2 非ポーラス膜をこの順序で積層して多層構造膜を形成する工程と、

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記

第1 ポーラス膜および第1 非ポーラス膜にビアホールを形成し、前記第2 ポーラス膜および第2 非ポーラス膜に前記ビアホールと連通する配線溝を形成する工程と、

前記ビアホール底に露出した前記保護膜を除去する工程と、

前記保護膜を除去した後に前記レジストマスクを除去する工程と、

前記ビアホールおよび配線溝に配線材料を埋め込むことにより前記下層配線と接続されるデュアルダマシン構造の上層配線を形成する工程と

を含む半導体装置の製造にあたり、

前記第1 非ポーラス膜として、少なくとも2つの層を有し、前記第1 ポーラス膜側に位置する第1層が前記レジストマスクに対してエッチング選択比の高い材料からなり、この第1層より前記第2 ポーラス膜側に位置する第2層が前記保護膜および前記第2 ポーラス膜に対してエッチング選択比の高い材料からなる積層膜を用いることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に絶縁膜を介して形成された下層配線と、

前記下層配線上を含む前記絶縁膜表面に形成された保護膜と、

前記保護膜表面に少なくとも第1 ポーラス膜、第1 非ポーラス膜および第2 ポーラス膜をこの順序で積層した多層構造膜と、

前記保護膜および多層構造膜に形成され、前記第1 非ポーラス膜を境にして前記下層配線と接続されビアプラグ部と、このビアプラグと接続された配線部とを有するデュアルダマシン構造の上層配線とを備えた半導体装置であって、

前記第1 非ポーラス膜は、少なくとも2つの層を有する積層膜で、いずれかの層が前記保護膜に対してエッチング選択比の高い材料からなり、前記第1 ポーラス膜側に位置する層が前記第2 ポーラス膜側に位置する層に対してエッチング選択比の高い材料からなり、かつ前記第2 ポーラス膜側に位置する層が前記第2 ポーラス膜に対してエッチング選択比の高い材料からなることを特徴とする半導体装置。

【請求項4】 前記保護膜は、SiCH膜、SiCN膜、SiCO膜およびSiN膜のいずれかであることを特徴とする請求項3記載の半導体装置。

【請求項 5】 前記第 1、第 2 のポーラス膜の少なくとも一方は、多孔質の有機シロキサン膜または多孔質の無機シロキサン膜であることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記第 1、第 2 のポーラス膜の少なくとも一方は、多孔質のポリアリーレンエーテル膜であることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 7】 前記第 1 非ポーラス膜は、前記第 2 ポーラス膜に対してエッチング選択比の高い材料からなる上層をこの上層および前記保護膜に対してエッチング選択比の高い材料からなる下層の上に積層した積層構造を有することを特徴とする請求項 3 ないし 6 いずれか記載の半導体装置。

【請求項 8】 前記第 1 非ポーラス膜は、前記保護膜および前記第 2 ポーラス膜に対してエッチング選択比の高い材料からなる上層をこの上層に対してエッチング選択比の高い材料からなる下層の上に積層した積層構造を有することを特徴とする請求項 3 ないし 6 いずれか記載の半導体装置。

【請求項 9】 前記第 1 非ポーラス膜を構成する前記上層および下層のうち、前記保護膜に対して選択エッチング比の高い材料からなる一方の層は、ポリアリーレンエーテル膜であることを特徴とする請求項 7 または 8 記載の半導体装置。

【請求項 10】 前記第 1 非ポーラス膜を構成する前記上層および下層のうち、他方の層は、SiCH膜、SiCN膜、SiCO膜、SiN膜、有機シロキサン膜および無機シロキサン膜のいずれかであることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 前記第 1 非ポーラス膜は、前記保護膜より膜厚が薄いことを特徴とする請求項 3 ないし 10 いずれか記載の半導体装置。

#### 【発明の詳細な説明】

【0001】

#### 【発明の属する技術分野】

本発明は、デュアルダマシンプロセスを用いて多層配線を形成する半導体装置の製造方法および半導体装置に関する。

## 【0002】

## 【従来の技術】

近年、半導体装置の高性能化のために配線抵抗と配線間容量を低減する技術が開発されている。配線抵抗を低減する技術の一つには、ダマシンプロセスによる銅配線の形成が知られている。特に、配線とビアプラグを同時に形成する、いわゆるデュアルダマシンプロセスは配線抵抗の低減に非常に有効である。

## 【0003】

前記配線は、層間絶縁膜に形成されるため、配線容量の低減には低誘電率の層間絶縁膜が用いられている。最近では、例えば比誘電率 2.5 以下の低誘電率絶縁膜が求められている。具体的には、多孔質材料膜、すなわちポーラス膜を用いたデュアルダマシンプロセスが開発されている。

## 【0004】

しかしながら、ポーラス膜はドライエッチング処理において膜が変質する、非ポーラス膜と比較してエッチングレートが高い、という性質を有する。このため、エッチング制御が非常に困難である。その結果、ポーラス膜からなる層間絶縁膜をデュアルダマシンプロセスに用いた場合、配線形状に加工するエッチング工程において、特に配線の底に位置するポーラス膜部分に変質する。また、ポーラス膜が必要以上にエッチングされることにより、所望の特性を持つ多層配線の形成が困難になる。

## 【0005】

前記問題を解決する手段としては、非特許文献 1 にはビアプラグが位置するポーラス膜と配線が位置するポーラス膜の間にそれらポーラス膜に対してエッチング選択比が高い非ポーラス膜をエッチングストッパ膜として配置する方法が記載されている。このエッチングストッパ膜は、前記ポーラス膜のエッチング制御を容易にし、ポーラス膜の変質を防止する。また、エッチングストッパ膜は前記配線の底に位置するポーラス膜が必要以上にエッチングされるのを保護する。このようなエッチングストッパ膜は、SiCH膜、SiCN膜、有機膜が用いられる。

## 【0006】

しかしながら、前記各膜はレジストマスク、またはデュアルダマシン構造の多層配線直下の配線（例えば埋め込み配線）表面に形成されるパッシベーション膜（保護膜）と組成が近似している。このため、レジストマスクの除去工程、ビアホール底の前記パッシベーション膜の除去工程において、前記エッチングストッパ膜もエッチングされ、配線底にポーラス膜が露出して設計寸法のビアプラグを形成することが困難になる。

#### 【0007】

このようなことから、前記エッチングストッパ膜の厚さを厚くして前記各部材の除去工程の後でもそのエッチングストッパ膜が十分な厚さで残るようにしている。しかしながら、前記エッチングストッパ膜に用いられるSiCH膜、SiCN膜、有機膜はポーラス膜に比べて誘電率が高い。このため、厚いエッチングストッパ膜の使用は配線間容量の増大を招く。

#### 【0008】

##### 【非特許文献1】

‘Copper Dual Damascene Interconnects with Low-K ( $K_{eff} < 3.0$ ) Dielectrics Using FLARE and Organo-Silicate Hard Mask’ International Electron Devices Meeting (IEDM) 1999 p.p.623

#### 【0009】

##### 【発明が解決しようとする課題】

本発明は、配線間容量を低減しつつ、変質され易い脆弱なポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の配線を形成することが可能な半導体装置の製造方法を提供しようとするものである。

#### 【0010】

本発明は、変質され易い脆弱なポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の配線を有し、配線間容量を低減した半導体装置を提供しようとするものである。

#### 【0011】

##### 【課題を解決するための手段】

本発明の一態様によると、半導体基板上の絶縁膜に下層配線をその表面の一部が



露出するように形成する工程と、

前記下層配線の露出部を含む前記絶縁膜表面に保護膜を形成する工程と

前記保護膜表面に第1 ポーラス膜、第1 非ポーラス膜、第2 ポーラス膜および第2 非ポーラス膜をこの順序で積層して多層構造膜を形成する工程と、

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記第1 ポーラス膜および第1 非ポーラス膜にビアホールを形成し、前記第2 ポーラス膜および第2 非ポーラス膜に前記ビアホールと連通する配線溝を形成する工程と、

前記レジストマスクを除去する工程と、

前記レジストマスクを除去した後に前記ビアホール底に露出した前記保護膜を除去する工程と、

前記ビアホールおよび配線溝に配線材料を埋め込むことにより前記下層配線と接続されるデュアルダマシン構造の上層配線を形成する工程と

を含む半導体装置の製造にあたり、

前記第1 非ポーラス膜として、少なくとも2つの層を有し、前記第1 ポーラス膜側に位置する第1 層が前記保護膜に対してエッチング選択比の高い材料からなり、この第1 層より前記第2 ポーラス膜側に位置する第2 層が前記レジストマスクおよび前記第2 ポーラス膜に対してエッチング選択比の高い材料からなる積層膜を用いることを特徴とする半導体装置の製造方法が提供される。

### 【0012】

また本発明の他の態様によると、半導体基板上の絶縁膜に下層配線をその表面の一部が露出するように形成する工程と、

前記下層配線の露出部を含む前記絶縁膜表面に保護膜を形成する工程と

前記保護膜表面に第1 ポーラス膜、第1 非ポーラス膜、第2 ポーラス膜および第2 非ポーラス膜をこの順序で積層して多層構造膜を形成する工程と、

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記第1 ポーラス膜および第1 非ポーラス膜にビアホールを形成し、前記第2 ポーラス膜および第2 非ポーラス膜に前記ビアホールと連通する配線溝を形成する工程と、

前記ビアホール底に露出した前記保護膜を除去する工程と、  
前記保護膜を除去した後に前記レジストマスクを除去する工程と、  
前記ビアホールおよび配線溝に配線材料を埋め込むことにより前記下層配線と  
接続されるデュアルダマシン構造の上層配線を形成する工程と  
を含む半導体装置の製造にあたり、

前記第 1 非ポーラス膜として、少なくとも 2 つの層を有し、前記第 1 ポーラス  
膜側に位置する第 1 層が前記レジストマスクに対してエッチング選択比の高い材  
料からなり、この第 1 層より前記第 2 ポーラス膜側に位置する第 2 層が前記保護  
膜および前記第 2 ポーラス膜に対してエッチング選択比の高い材料からなる積層  
膜を用いることを特徴とする半導体装置の製造方法が提供される。

#### 【0 0 1 3】

さらに本発明の別の態様によると、半導体基板上に絶縁膜を介して形成された  
下層配線と、

前記下層配線上を含む前記絶縁膜表面に形成された保護膜と、  
前記保護膜表面に少なくとも第 1 ポーラス膜、第 1 非ポーラス膜および第 2 ポ  
ーラス膜をこの順序で積層した多層構造膜と、  
前記保護膜および多層構造膜に形成され、前記第 1 非ポーラス膜を境にして前  
記下層配線と接続されビアプラグ部と、このビアプラグと接続された配線部とを  
有するデュアルダマシン構造の上層配線と  
を備えた半導体装置であって、

前記第 1 非ポーラス膜は、少なくとも 2 つの層を有する積層膜で、いずれかの  
層が前記保護膜に対してエッチング選択比の高い材料からなり、前記第 1 ポーラ  
ス膜側に位置する層が前記第 2 ポーラス膜側に位置する層に対してエッチング選  
択比の高い材料からなり、かつ前記第 2 ポーラス膜側に位置する層が前記第 2 ポ  
ーラス膜に対してエッチング選択比の高い材料からなることを特徴とする半導体  
装置が提供される。

#### 【0 0 1 4】

##### 【発明の実施の形態】

以下、本発明の実施形態を詳細に説明する。

**【0015】**

(第1実施形態)

(第1工程)

半導体基板上の絶縁膜に埋め込み配線（下層配線）をその表面の一部が露出するように形成する。

**【0016】**

前記絶縁膜としては、例えばシリコン酸化膜、ボロンリン添加ガラス膜（BPSG膜）、リン添加ガラス膜（PSG膜）、SiOF、有機スピンオンガラス、ポリイミド、ポーラス膜等を用いることができる。

**【0017】**

前記埋め込み配線材料としては、例えばCuもしくはCu-Si合金、Cu-Al合金、Cu-Si-Al合金、Cu-Ag合金のようなCu合金、またはAlもしくはAl-Si合金、Al-Cu合金、Al-Si-Cu合金のようなAl合金等を用いることができる。配線材料としてCuもしくはCu合金を用いた場合、前記埋め込み配線を導電性バリア膜で包み込むように前記絶縁膜に形成することが好ましい。前記導電性バリア膜としては、例えばTa膜、Ta<sub>2</sub>N膜、Ti膜、TiN膜等を用いることができる。

**【0018】**

前記埋め込み配線は、例えば絶縁膜に配線溝を形成し、この配線溝に配線材料を埋め込んだ後、余剰な配線材料を化学機械研磨（CMP）の処理によって除去することにより形成される。

**【0019】**

(第2工程)

前記配線の露出部を含む前記絶縁膜表面に保護膜を形成する。つづいて、この保護膜表面に第1ポーラス膜、第1非ポーラス膜、第2ポーラス膜および第2非ポーラス膜をこの順序で積層して多層構造膜を形成する。

**【0020】**

前記保護膜は、前記第1ポーラス膜を後述するようにエッチングする際、この保護膜直下の埋め込み配線をエッチング雰囲気から遮断する。その結果、前記絶

縁膜から露出する埋め込み配線表面の荒れを防止して後述するビアプラグとの電氣的接続性を良好にする。また、前記保護膜はこの直上の第1 ポーラス膜を後述するようにエッチングする際のエッチングストッパとしての役目をなす。

#### 【0021】

前記保護膜は、前記第1 ポーラス膜に対してエッチング選択比の高い材料からなり、例えばSiCH、SiCN、SiCOおよびSiNから選ばれる1層または2層の膜から形成される。

#### 【0022】

前記第1、第2のポーラス膜は、比誘電率が2.5以下の低誘電率であることが好ましく、例えば多孔質メチルシロキサン膜のような多孔質有機シロキサン膜、多孔質無機シロキサン膜または多孔質ポリアリーレンエーテル膜が用いられる。

#### 【0023】

前記第1非ポーラス膜は、少なくとも2つの層を有する積層膜からなる。勿論、3つ以上の層を有する積層膜から第1非ポーラス膜を構成してもよい。第1層は、前記第1ポーラス膜側（下層側）に位置する。この第1層は、前記保護膜に対してエッチング選択比の高い材料からなる。第2層は、この第1層より前記第2ポーラス膜側（上層側）に位置する。この第2層は、多層構造膜を後述するようにエッチングする際の前記レジストマスクおよび前記第2ポーラス膜に対してエッチング選択比の高い材料からなる。

#### 【0024】

前記第1層は、例えばポリアリーレンエーテル膜が用いられる。このポリアリーレンエーテル膜は、比誘電率が4.0前後で、窒化膜等の非ポーラス膜に比べて誘電率が低く、配線間容量を低減できるために有用である。

#### 【0025】

前記第2層は、例えばSiCH膜、SiCN膜、SiCO膜、SiN膜、有機シロキサン膜、または無機シロキサン膜が用いられる。

#### 【0026】

前記積層膜の総厚さは、配線間容量を低減できるために20～50nmにする

ことが好ましい。

#### 【0027】

前記第2非ポーラス膜は、後述するレジストマスクを除去するためのドライエッチング工程および後述する余剰の配線材料を除去するための化学機械研磨（CMP）工程においてその下の第2ポーラス膜を保護する役目をなす。この第2非ポーラス膜は、例えば有機シロキサン膜、または無機シロキサン膜が用いられる。

#### 【0028】

##### （第3工程）

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記第1ポーラス膜および第1非ポーラス膜にビアホールを形成し、前記第2ポーラス膜および第2非ポーラス膜に前記ビアホールと連通する配線溝を形成する。

#### 【0029】

前記ビアホールおよび配線溝の形成は、具体的には次に説明する2通りの方法によりなされる。

#### 【0030】

（1）前記多層構造膜表面にビアホール予定部が開口されたレジストマスクを形成する。第1ドライエッチング処理によって前記レジストマスクから露出する前記多層構造膜を選択的にエッチング除去して底部が前記保護膜まで達するビアホール形状の孔を開口する。

#### 【0031】

次いで、前記レジストマスクを除去する。前記多層構造膜表面に配線溝予定部が開口されたレジストマスクを形成する。第2ドライエッチング処理によって前記レジストマスクから露出する前記多層構造膜を選択的にエッチング除去する。この時、前記第2ポーラス膜側に位置する前記第1非ポーラス膜の第2層は、前記レジストマスクおよび前記第2ポーラス膜に対してエッチング選択比の高い材料からなる。このため、前記第2ドライエッチング処理において前記第2層がその下方の第1ポーラス膜に対するエッチングストップとして作用する。その結果、前記第1ポーラス膜がエッチングされることなく、前記第2非ポーラス膜およ

び第 2 ポーラス膜のみが配線溝形状に選択的にエッチング除去される。

#### 【0032】

このような 2 回のドライエッチング処理により前記第 1 ポーラス膜および第 1 非ポーラス膜にビアホールが形成され、前記第 2 ポーラス膜および第 2 非ポーラス膜に前記ビアホールと連通する配線溝が形成される。

#### 【0033】

(2) 前記多層構造膜表面に配線溝予定部が開口されたレジストマスクを形成する。第 1 ドライエッチング処理によって前記レジストマスクから露出する前記多層構造膜を選択的にエッチング除去する。この時、前記第 2 ポーラス膜側に位置する前記第 1 非ポーラス膜の第 2 層は、前記レジストマスクおよび前記第 2 ポーラス膜に対してエッチング選択比の高い材料からなる。このため、前記第 1 ドライエッチング処理において前記第 2 層がその下方の第 1 ポーラス膜に対するエッチングストップパとして作用する。その結果、前記第 1 ポーラス膜がエッチングされることなく、前記第 2 非ポーラス膜および第 2 ポーラス膜のみが配線溝形状に選択的にエッチング除去される。

#### 【0034】

次いで、前記レジストマスクを除去する。この時、配線溝の底に露出した前記第 1 非ポーラス膜の第 2 層はエッチングストップパとして作用する。前記配線溝を含む前記多層構造膜表面にビアホール予定部が開口されたレジストマスクを形成する。第 2 ドライエッチング処理によって前記レジストマスクから露出する第 1 非ポーラス膜および第 1 ポーラス膜を選択的にエッチング除去して底部が前記保護膜まで達するビアホールを開口する。

#### 【0035】

このような 2 回のドライエッチング処理により前記 (1) の方法と同様、前記第 1 ポーラス膜および第 1 非ポーラス膜にビアホールが形成され、前記第 2 ポーラス膜および第 2 非ポーラス膜に前記ビアホールと連通する配線溝が形成される。

#### 【0036】

前記 2 回のドライエッチング処理によるビアホールおよび配線溝の形成におい

て、前記絶縁膜の埋め込み配線の表面は前記保護膜で覆われる。このため、前記埋め込み配線の表面がドライエッチング処理時のエッチングガスに曝されるのを防止し、埋め込み配線表面の荒れを防ぐことが可能になる。

#### 【0037】

また、前記2回のドライエッチング処理において第2ポーラス膜の表面は第2非ポーラス膜で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜が変質、エッチングされるのを防止することが可能になる。

#### 【0038】

##### (第4工程)

前記レジストマスクを例えば酸素を含むプラズマ中でドライエッチング処理して除去する。この時、前記配線溝の底に位置する前記第1非ポーラス膜の第2層は、前記レジストマスクに対してエッチング選択比の高い材料からなるため、前記レジストマスクの除去時に前記第2層がエッチングストッパとして作用する。その結果、前記第2層を有する前記第1非ポーラス膜下の第1ポーラス膜が変質、エッチングされることなく、前記レジストマスクが除去される。

#### 【0039】

前記レジストマスクの除去において、前記絶縁膜の埋め込み配線の表面は前記保護膜で覆われている。このため、前記埋め込み配線の表面がドライエッチング処理のエッチングガス（例えば酸素含有ガス）の雰囲気中に曝されるのを防止し、埋め込み配線表面の荒れを防ぐことが可能になる。

#### 【0040】

##### (第5工程)

前記ビアホール底に露出した前記保護膜をドライエッチング処理により除去して前記ビアホールの底を前記埋め込み配線と連通させる。この時、前記配線溝の底に位置する前記第1非ポーラス膜は前記第2層より前記第1ポーラス膜側（下層側）に位置し、前記保護膜に対してエッチング選択比の高い材料からなる第1層を有する。このため、前記保護膜の除去時に前記配線溝の底に露出する前記第2層がエッチングされても、その下の第1層がエッチングストッパとして作用する。その結果、前記第1層を有する前記第1非ポーラス膜下の第1ポーラス膜が

変質、エッチングされることなく、前記保護膜が選択的に除去される。

#### 【0041】

前記第4工程および第5工程でのドライエッチング処理において、前記第2ポーラス膜の表面は第2非ポーラス膜で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜の表面が変質、エッチングされるのを防止することが可能になる。

#### 【0042】

(第6工程)

前記ビアホールおよび配線溝に配線材料を埋め込み、余剰な配線材料を化学機械研磨処理によって除去することにより前記埋め込み配線と接続されるデュアルダマシン構造の上層配線を形成し、半導体装置を製造する。この時、前記第2ポーラス膜の表面は第2非ポーラス膜で覆われているため、前記第2ポーラス膜の表面が直接化学機械研磨処理されることなく、その表面の変質、荒れを防止することが可能になる。なお、ここでの化学機械研磨処理において、配線間容量を低減するため、多層構造膜における前記第2非ポーラス膜が除去されるまで処理を続けることもできる。

#### 【0043】

前記配線材料としては、例えばCuもしくはCu-Si合金、Cu-Al合金、Cu-Si-Al合金、Cu-Ag合金のようなCu合金、またはAlもしくはAl-Si合金、Al-Cu合金、Al-Si-Cu合金のようなAl合金等を用いることができる。配線材料としてCuもしくはCu合金を用いた場合、前記上層配線を導電性バリア膜で包み込むように前記ビアホールおよび配線溝に形成することが好ましい。前記導電性バリア膜としては、例えばTa膜、Ta<sub>2</sub>N膜、Ti膜、TiN膜等を用いることができる。

#### 【0044】

前記ビアホールおよび配線溝に前記配線材料を埋め込む方法としては、例えばスパッタ法、メッキ法等を採用することができる。

#### 【0045】

以上、前述した第1実施形態によれば次のような作用、効果を奏する。



## 【0046】

1) 配線溝を形成するためのドライエッチング処理において、第1非ポーラス膜の上層の第2層を第1ポーラス膜に対してエッチングストップパとして作用させることができる。その結果、第2非ポーラス膜および前記第2ポーラス膜をドライエッチングして配線溝を選択的に形成する際、前記第1ポーラス膜の変質、および必要以上のエッチングを回避できる。

## 【0047】

第1、第2のポーラス膜を層間絶縁膜として用い、これらの層間絶縁膜にビアホールおよび配線溝を形成するために用いられたレジストマスクを除去するためのドライエッチング処理において、前記第1非ポーラス膜の上層の第2層を前記配線溝の底の第1ポーラス膜に対してエッチングストップパとして作用させることができる。また、ビアホールの底に露出する保護膜を除去するためのドライエッチング処理において、前記第1非ポーラス膜の下層の第1層を前記配線溝の底の第1ポーラス膜に対してエッチングストップパとして作用させることができる。その結果、前記2つのドライエッチング処理において前記第1ポーラス膜がエッチングガスに曝されるのを防止できるため、前記配線溝の底に位置する前記第1ポーラス膜の変質、および必要以上のエッチングを回避できる。

## 【0048】

また、レジストマスクおよびビアホールの底に露出する保護膜を除去するためのドライエッチング処理において、第2非ポーラス膜で第2ポーラス膜の表面を覆うことによって、それらドライエッチング処理時のエッチングガスにより前記第2ポーラス膜の表面が変質、エッチングされるのを防止することができる。

## 【0049】

さらに、ビアホールおよび配線溝内に配線材料を埋め込み、余剰な配線材料を化学機械研磨処理より除去してデュアルダマシン構造の上層配線を形成する工程において、第2非ポーラス膜で第2ポーラス膜の表面を覆うことによって、前記第2ポーラス膜の表面が直接化学機械研磨処理されるのを防ぐことができるため、その表面の変質、荒れを防止することが可能になる。

## 【0050】

したがって、変質され易い脆弱な第1、第2のポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の多層配線が形成された半導体装置を製造することができる。

#### 【0051】

2) 一般に非ポーラス膜は、ポーラス膜より誘電率が高いため、配線間容量の増大を招く。前記第1非ポーラス膜は、前述したエッチング選択比を有する材料からなる第1、第2の層で少なくとも構成することによって、それら第1、第2の層の和である前記第1非ポーラス膜の膜厚がレジストマスクや保護膜の膜厚より薄くても配線溝の底に位置する第1ポーラス膜が露出せず、所望のデュアルダマシン構造の上層配線を形成することができる。したがって、少なくとも前記第1、第2の層の積層膜からなる第1非ポーラス膜はその総厚さを1層の非ポーラス膜をエッチングストッパとして用いる場合に比べて薄くすることができるため、配線間容量を効果的に低減された半導体装置を製造することができる。特に、前記第1非ポーラス膜の第1層を比誘電率が4.0前後と低誘電率のポリアリーレンエーテルで作ることによって、より一層の配線間容量の低減が可能になる。

#### 【0052】

3) ビアホールおよび配線溝を形成するためのドライエッチング処理において絶縁膜の埋め込み配線の表面を保護膜で覆うことによって、前記埋め込み配線の表面がエッチングガスに曝されるのを防止できる。その結果、前記埋め込み配線表面の荒れを防止できる。

#### 【0053】

また、前記レジストマスクをドライエッチング処理により除去する際、絶縁膜の埋め込み配線の表面を前記保護膜で覆うことによって、前記埋め込み配線の表面がエッチングガスに曝されるのを防止できる。その結果、前記埋め込み配線表面の荒れを防止できる。

#### 【0054】

したがって、前記埋め込み配線（下層配線）に対して上層配線のビアプラグが良好に電氣的接続された半導体装置を製造することができる。

#### 【0055】

(第2実施形態)

(第1工程)

半導体基板上の絶縁膜に埋め込み配線（下層配線）をその表面の一部が露出するように形成する。

【0056】

前記絶縁膜および前記埋め込み配線材料は、前記第1実施形態で説明したのと同様のものが用いられる。前記配線材料としてCuもしくはCu合金を用いた場合、前記埋め込み配線を例えばTa膜、Ta<sub>2</sub>N膜、Ti膜、TiN膜のような導電性バリア膜で包み込むように前記絶縁膜に形成することが好ましい。

【0057】

前記埋め込み配線は、例えば絶縁膜に配線溝を形成し、この配線溝に配線材料を埋め込んだ後、余剰な配線材料を化学機械研磨（CMP）の処理によって除去することにより形成される。

【0058】

(第2工程)

前記配線の露出部を含む前記絶縁膜表面に保護膜を形成する。つづいて、この保護膜表面に第1ポーラス膜、第1非ポーラス膜、第2ポーラス膜および第2非ポーラス膜をこの順序で積層して多層構造膜を形成する。

【0059】

前記保護膜は、前記第1実施形態で説明したのと同様な役目をなす。

【0060】

前記保護膜、前記第1、第2のポーラス膜は、前記第1実施形態で説明したのと同様の材料から作られる。

【0061】

前記第1非ポーラス膜は、少なくとも2つの層を有する積層膜からなる。勿論、3つ以上の層を有する積層膜から第1非ポーラス膜を構成してもよい。第1層は、前記第1ポーラス膜側に位置する。この第1層は、後述するレジストマスクに対してエッチング選択比の高い材料からなる。第2層は、前記第1層より前記第2ポーラス膜側（上層側）に位置する。この第2層は、前記保護膜および前記

第2 ポーラス膜に対してエッチング選択比の高い材料からなる。

【0062】

前記第1層は、例えばSiCH膜、SiCN膜、SiCO膜、SiN膜、有機シロキサン膜、または無機シロキサン膜が用いられる。

【0063】

前記第2層は、例えばポリアリーレンエーテル膜が用いられる。このポリアリーレンエーテル膜は、比誘電率が4.0前後で、窒化膜等の非ポーラス膜に比べて誘電率が低く、配線間容量を低減できるために有用である。ただし、この第2層直上に位置する前記第2 ポーラス膜として多孔質ポリアリーレンエーテル膜を選択すると、それら第2層および第2 ポーラス膜との間で十分なエッチング選択比を取ることが困難になる。この場合、前記第2 ポーラス膜として多孔質ポリアリーレンエーテル膜以外の例えば多孔質メチルシロキサン膜のような多孔質有機シロキサン膜、多孔質無機シロキサン膜を選択する。

【0064】

前記積層膜の総厚さは、配線間容量を低減できるために20～50nmにすることが好ましい。

【0065】

前記第2 非ポーラス膜は、前記第1 実施形態で説明したのと同様な材料から作られる。

【0066】

(第3工程)

レジストマスクを用いた前記多層構造膜のドライエッチング処理によって前記第1 ポーラス膜および第1 非ポーラス膜にビアホールを形成し、前記第2 ポーラス膜および第2 非ポーラス膜に前記ビアホールと連通する配線溝を形成する。

【0067】

前記ビアホールおよび配線溝の形成は、具体的には前記第1 実施形態で説明した2通りの方法のうちの(1)の方法によりなされる。これは、前記第1 実施形態で説明した(2)の方法によると、配線溝の形成時に使用されたレジストマスクを除去する際に、前記第2 ポーラス膜側に位置する前記第1 非ポーラス膜の第

2層がエッチングガスに曝され、エッチングされる虞があるからである。この方法において、前記第2ポーラス膜側に位置する前記第1非ポーラス膜の第2層は、前記保護膜および前記第2ポーラス膜に対してエッチング選択比の高い材料からなる。このため、ドライエッチング処理により配線溝を形成する工程において前記第2層がその下方の第1ポーラス膜に対するエッチングストッパとして作用する。その結果、前記第1ポーラス膜がエッチングされることなく、前記第2ポーラス膜のみが配線溝形状に選択的にエッチング除去される。

#### 【0068】

前記方法において、2回のドライエッチング処理によるビアホールおよび配線溝の形成時に、前記絶縁膜の埋め込み配線の表面は前記保護膜で覆われる。このため、前記埋め込み配線の表面がドライエッチング処理時のエッチングガスに曝されるのを防止し、埋め込み配線表面の荒れを防ぐことが可能になる。

#### 【0069】

また、前記2回のドライエッチング処理において第2ポーラス膜の表面は第2非ポーラス膜で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜が変質、エッチングされるのを防止することが可能になる。

#### 【0070】

##### (第4工程)

前記レジストマスクを残存させた状態で、前記ビアホール底に露出した前記保護膜を除去して前記ビアホールの底を前記埋め込み配線と連通させる。この時、前記配線溝の底に前記第1非ポーラス膜の第2層が露出しているため、その第2層は前記保護膜に対してエッチング選択比の高い材料からなるため、前記保護膜の除去時に前記第2層がエッチングストッパとして作用する。その結果、前記第2層を有する前記第1非ポーラス膜下の第1ポーラス膜が変質、エッチングされることなく、前記保護膜が選択的に除去される。

#### 【0071】

##### (第5工程)

前記レジストマスクをドライエッチング処理して除去する。この時、前記配線溝の底に位置する前記第1非ポーラス膜は前記第2層より前記第1ポーラス膜側

(下層側)に位置し、前記レジストマスクに対してエッチング選択比の高い材料からなる第1層を有する。このため、前記レジストマスクの除去時に前記配線溝の底に露出する前記第2層がエッチングされても、その下の第1層がエッチングストップとして作用する。その結果、前記第1層を有する前記第1非ポーラス膜下の第1ポーラス膜が変質、エッチングされることなく、前記レジストマスクが除去される。

#### 【0072】

前記レジストマスクの除去工程でのドライエッチング処理は、窒素、水素、アンモニアおよびこれらの組み合わせから選択されるエッチングガスを用いることが好ましい。このようなドライエッチング処理によって、レジストマスクの除去工程で前記絶縁膜の埋め込み配線表面が荒れるのを防止できる。

#### 【0073】

すなわち、前記レジストマスクの除去工程では前記ビアホール底に露出した前記保護膜が既に除去され、前記埋め込み配線の表面が露出されている。このため、前記埋め込み配線の表面がエッチングガスの雰囲気曝されて埋め込み配線表面が荒れる虞がある。このようなことから、窒素、水素、アンモニアまたはこれらを組み合わせたエッチングガスを用いるドライエッチング処理によりレジストマスクの除去を行なうことによって、埋め込み配線表面が荒れるのを防止できる。

#### 【0074】

前記第4工程および第5工程でのドライエッチング処理において、前記第2ポーラス膜の表面は第2非ポーラス膜で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜の表面が変質、エッチングされるのを防止することが可能になる。

#### 【0075】

(第6工程)

前記ビアホールおよび配線溝に配線材料を埋め込み、余剰な配線材料を化学機械研磨処理によって除去することにより前記埋め込み配線と接続されるデュアルダマシン構造の上層配線を形成し、半導体装置を製造する。この時、前記第2ポ

ーラス膜の表面は第2非ポーラス膜で覆われているため、前記第2ポーラス膜の表面が直接化学機械研磨処理されることなく、その表面の変質、荒れを防止することが可能になる。なおここでも、多層構造膜における前記第2非ポーラス膜が除去されるまで前記化学機械研磨処理を続けることもできる。

#### 【0076】

前記配線材料としては、前記第1実施形態で説明したのと同様の材料が用いられる。前記配線材料としてCuもしくはCu合金を用いた場合、前記上層配線を例えばTa膜、Ta<sub>2</sub>N膜、Ti膜、TiN膜のような導電性バリア膜で包み込むように前記ビアホールおよび配線溝に形成することが好ましい。

#### 【0077】

前記ビアホールおよび配線溝に前記配線材料を埋め込む方法としては、例えばスパッタ法、メッキ法等を採用することができる。

#### 【0078】

以上、第2実施形態によれば次のような作用、効果を奏する。

#### 【0079】

1) 配線溝を形成するためのドライエッチング処理において、第1非ポーラス膜の上層の第2層を第1ポーラス膜に対してエッチングストップとして作用させることができる。その結果、第2非ポーラス膜および前記第2ポーラス膜をドライエッチングして配線溝を選択的に形成する際、前記第1ポーラス膜の変質、および必要以上のエッチングを回避できる。

#### 【0080】

第1、第2のポーラス膜を層間絶縁膜として用い、これらの層間絶縁膜にビアホールおよび配線溝を形成した後にビアホールの底に露出する保護膜を除去するためのドライエッチング処理において、前記第1非ポーラス膜の上層の第2層を前記配線溝の底の第1ポーラス膜に対してエッチングストップとして作用させることができる。また、レジストマスクを除去するためのドライエッチング処理において、前記第1非ポーラス膜の下層の第1層を前記配線溝の底の第1ポーラス膜に対してエッチングストップとして作用させることができる。その結果、前記2つのドライエッチング処理において前記第1ポーラス膜がエッチングガスに曝

されるのを防止できるため、前記配線溝の底に位置する前記第1 ポーラス膜の変質、および必要以上のエッチングを回避できる。

#### 【0081】

また、前述した第1実施形態と同様、レジストマスクおよびビアホールの底に露出する保護膜を除去するためのドライエッチング処理、デュアルダマシン構造の上層配線を形成するための余剰な配線材料の化学機械研磨処理において、第2 ポーラス膜の表面の変質、エッチング、荒れを防止することができる。

#### 【0082】

したがって、変質され易い脆弱な第1、第2のポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の多層配線が形成された半導体装置を製造することができる。

#### 【0083】

2) 前述した第1実施形態の作用、効果の2)項と同様、配線間容量を効果的に低減された半導体装置を製造することができる。特に、前記第1非ポーラス膜の第2層を比誘電率が4.0前後と低誘電率のポリアリーレンエーテルで作ることによって、より一層の配線間容量の低減が可能になる。

#### 【0084】

3) ビアホールおよび配線溝を形成するためのドライエッチング処理において絶縁膜の埋め込み配線の表面を保護膜で覆うことによって、前記埋め込み配線の表面がエッチングガスに曝されるのを防止できる。その結果、前記埋め込み配線表面の荒れを防止できる。

#### 【0085】

ビアホール底に露出した保護膜が既に除去され、前記埋め込み配線の表面が露出された状態でのレジストマスクの除去工程において、ドライエッチング処理として窒素、水素、アンモニア、またはこれらを組み合わせたエッチングガスを用いることによって、埋め込み配線表面が荒れるのを防止できる。

#### 【0086】

したがって、前記埋め込み配線（下層配線）に対して上層配線のビアプラグが良好に電氣的接続された半導体装置を製造することができる。



**【0087】****(第3実施形態)**

本発明の実施形態に係る半導体装置は、半導体基板に絶縁膜を介して形成され、表面の一部が露出した下層配線を備える。保護膜は、前記配線の露出部を含む前記絶縁膜表面に形成されている。第1ポーラス膜、第1非ポーラス膜および第2ポーラス膜、さらに必要に応じて第2非ポーラス膜は、前記保護膜表面にこの順序で積層され、多層構造膜を構成している。

**【0088】**

前記第1非ポーラス膜は、少なくとも2つの層を有する積層膜からなる。いずれかの層は、前記保護膜に対してエッチング選択比の高い材料からなる。前記第1ポーラス膜側に位置する下層側の層は、前記第2ポーラス膜側に位置する上層側の層に対してエッチング選択比の高い材料からなる。また、前記第2ポーラス膜側に位置する層は前記第2ポーラス膜に対してエッチング選択比の高い材料からなる。

**【0089】**

デュアルダマシン構造の上層配線は、前記多層構造膜および保護膜に形成され、ビアプラグ部および配線部から構成されている。前記ビアプラグ部は、前記第1非ポーラス膜を境にして前記保護膜および第1ポーラス膜のビアホール内に形成され、前記下層配線と接続されている。前記配線部は、前記第1非ポーラス膜を境にして前記第2ポーラス膜および第2非ポーラス膜の配線溝内に形成され、前記ビアプラグ部と接続されている。

**【0090】**

前記保護膜、前記第1、第2のポーラス膜、第2非ポーラス膜は、前記第1実施形態で説明したのと同様なから作ることができる。

**【0091】**

前記第1非ポーラス膜は、具体的には次のような2つの形態を採用できる。

**【0092】**

(1) 前記第2ポーラス膜に対してエッチング選択比の高い材料からなる上層をこの上層および前記保護膜に対してエッチング選択比の高い材料からなる下層

の上に積層した積層膜。

【0093】

前記保護膜に対してエッチング選択比の高い材料としては、例えばポリアリーレンエーテル等を挙げられる。

【0094】

前記第2 ポーラス膜に対してエッチング選択比の高い材料としては、例えばSiCH、SiCN、SiCO、SiN、有機シロキサン、または無機シロキサン等を挙げることができる。

【0095】

(2) 前記保護膜および前記第2 ポーラス膜に対してエッチング選択比の高い材料からなる上層をこの上層に対してエッチング選択比の高い材料からなる下層の上に積層した積層膜。

【0096】

前記保護膜および前記第2 ポーラス膜に対してエッチング選択比の高い材料としては、例えばポリアリーレンエーテル等を挙げられる。

【0097】

前記第上層に対してエッチング選択比の高い材料としては、例えばSiCH、SiCN、SiCO、SiN、有機シロキサン、または無機シロキサン等を挙げることができる。

【0098】

以上、第3実施形態によれば変質され易い脆弱な第1、第2のポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の上層配線を有し、かつ第1非ポーラス膜に起因する配線間容量が低減された半導体装置を提供できる。

【0099】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

【0100】

(実施例1)

(第1工程)

図1の(a)に示すように半導体基板1上の例えばSiO<sub>2</sub>からなる絶縁膜2表面に導電性バリア膜であるTiN膜3で包み込まれた埋め込み銅配線(下層配線)4を形成した。この埋め込み銅配線4は、表面の一部が露出している。

#### 【0101】

##### (第2工程)

図1の(b)に示すように前記埋め込み銅配線4を含む前記絶縁膜2表面に厚さ50nmのSiCN膜(保護膜)5を形成した後、この保護膜5表面に厚さ100nmの多孔質有機シロキサン膜(第1ポーラス膜)6を形成した。つづいて、図1の(c)に示すように前記第1ポーラス膜6表面に第1非ポーラス膜7を形成した。この第1非ポーラス膜7は、前記第1ポーラス膜6表面に厚さ30nmで形成され、前記保護膜5に対してエッチング選択比の高い材料、例えばポリアリーレンエーテルからなる第1層(下層)8と、この第1層8上に厚さ10nmで積層され、後述するレジストマスクおよび第2ポーラス膜に対してエッチング選択比の高い材料、例えばSiCHからなる第2層(上層)9との積層膜である。すなわち、前記第1非ポーラス膜7は40nmの総厚さとした。ひきつづき、図2の(d)に示すように前記第1非ポーラス膜7の第2層9表面に厚さ100nmの多孔質有機シロキサン膜(第2ポーラス膜)10を形成した。この後、図2の(e)に示すようにこの第2ポーラス膜10表面に厚さ200nmの有機シロキサン膜(第2非ポーラス膜)11を形成した。このような第1ポーラス膜6、第1非ポーラス膜7、第2ポーラス膜10および第2非ポーラス膜11の積層により多層構造膜を形成した。

#### 【0102】

##### (第3工程)

前記多層構造膜の第2非ポーラス膜11表面にフォトエッチング技術によりビアホール予定部が開口されたレジストマスク12を形成した。つづいて、ドライエッチング処理によって前記レジストマスク12から露出する前記多層構造膜を選択的にエッチング除去することにより、図3の(f)に示す底部が前記保護膜5まで達するビアホール形状の孔13を開口した。このドライエッチング処理において、前記第1、第2の非ポーラス膜7、11、第1、第2のポーラス膜6、

10のエッチング時にはフルオロカーボン系のエッチングガスを用いた。なお、第1、第2のポーラス膜6、10のエッチング時と、前記第1、第2の非ポーラス膜7、11のエッチング時とはエッチング条件を変更した。

#### 【0103】

次いで、前記レジストマスク12を酸素プラズマによるドライエッチング処理により除去した。このドライエッチング処理時において、前記第2非ポーラス膜11によりその下の第2ポーラス膜10表面を保護することができた。つづいて、前記多層構造膜の第2非ポーラス膜11表面にフォトエッチング技術により配線溝予定部が開口されたレジストマスク14を形成した。ひきつづき、ドライエッチング処理によって前記レジストマスク14から露出する前記多層構造膜を選択的にエッチング除去した。この時、前記第2ポーラス膜10側に位置する前記第1非ポーラス膜7の上層の第2層9は、前記レジストマスク14および前記第2ポーラス膜10に対してエッチング選択比の高いSiCHからなる。このため、前記第2ドライエッチング処理において前記第2層9がその下方の第1ポーラス膜6に対するエッチングストッパとして作用した。その結果、前記第1ポーラス膜6がエッチングガスに曝されて変質、エッチングされることなく、前記第2非ポーラス膜11および第2ポーラス膜10が配線溝形状に選択的にエッチング除去された。この工程により、図3の(g)に示すように前記第1ポーラス膜6および第1非ポーラス膜7側にビアホール15が形成され、前記第2ポーラス膜10および第2非ポーラス膜11側にこのビアホール15と連通する配線溝16が形成された。なお、前記ドライエッチング処理において、前記第2非ポーラス膜11、第2ポーラス膜10のエッチング時にはフルオロカーボン系のエッチングガスを用いたが、第2非ポーラス膜11のエッチング時と第2ポーラス膜10のエッチング時とはエッチング条件を変更した。

#### 【0104】

前記2回のドライエッチング処理によるビアホール15および配線溝16の形成において、前記絶縁膜2の埋め込み配線4の表面は前記保護膜5で覆われる。このため、前記埋め込み配線4の表面がドライエッチング処理時のエッチングガスに曝されるのを防止し、埋め込み配線4表面の荒れを防ぐことができた。

## 【0105】

また、前記2回のドライエッチング処理において第2ポーラス膜10の表面は第2非ポーラス膜11で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜10が変質、エッチングされるのを防止することができた。

## 【0106】

## (第4工程)

前記レジストマスク14を酸素プラズマによるドライエッチング処理により除去した。この時、前記配線溝16の底に露出する前記第1非ポーラス膜7の上層の第2層9は、前記レジストマスク14に対してエッチング選択比の高いSiCHからなるため、前記レジストマスク14の除去時に前記第2層9がエッチングストップとして作用する。その結果、図4の(h)に示すように前記第2層9を有する前記第1非ポーラス膜7下の第1ポーラス膜6がエッチングガスに曝されて変質、エッチングされることなく、前記レジストマスク14を除去できた。

## 【0107】

前記レジストマスク14の除去において、前記絶縁膜2の埋め込み配線4の表面は前記保護膜5で覆われている。このため、前記埋め込み配線4の表面がドライエッチング処理の酸素プラズマに曝されるのを防止し、埋め込み配線4表面の荒れを防ぐことができた。

## 【0108】

## (第5工程)

フルオロカーボン系のエッチングガスを用いたドライエッチング処理により前記ビアホール15底に露出した前記保護膜5を除去した。この時、前記配線溝16の底に位置する前記第1非ポーラス膜7は前記保護膜5に対してエッチング選択比の高いポリアリーレンエーテルからなる第1層8およびこの第1層8上に積層されたレジストマスクおよび第2ポーラス膜10に対してエッチング選択比の高いSiCHからなる第2層9との積層構造を有する。このため、前記保護膜5の除去時に前記配線溝16の底に露出した前記第2層9がエッチングされるものの、その下の第1層8がエッチングストップとして作用する。その結果、前記第1層8を有する前記第1非ポーラス膜7下の第1ポーラス膜6が変質、エッチン

グされることなく、前記保護膜 5 が選択的に除去された。この工程により、図 4 の (i) に示すように前記ビアホール 15 の底を前記埋め込み配線 4 と連通させるための窓 17 が開口された。

#### 【0109】

前記第 4 工程および第 5 工程でのドライエッチング処理において、前記第 2 ポーラス膜 10 の表面は第 2 非ポーラス膜 11 で覆われているため、それら処理時のエッチングガスにより第 2 ポーラス膜 10 の表面が変質、エッチングされるのを防止できた。

#### 【0110】

##### (第 6 工程)

前記ビアホール 15 および配線溝 16 の内面に導電性バリア膜である TiN 膜を形成した後、スパッタ法とメッキ法により Cu (配線材料) を埋め込んだ。この後、化学機械研磨処理により余剰な Cu および第 2 非ポーラス膜 11 表面の TiN 膜を除去することによって、図 5 の (j) に示すように前記保護膜 5 および多層構造膜にデュアルダマシン構造の上層配線を形成して半導体装置を製造した。このデュアルダマシン構造の上層配線は、前記第 1 非ポーラス膜 7 を境にして前記保護膜 5 および前記多層構造膜の第 1 ポーラス膜 6 に形成され、前記埋め込み配線 (下層配線) 4 と接続されたビアプラグ部 18 と、前記第 1 非ポーラス膜 7 を境にして前記第 2 ポーラス膜 10 および第 2 非ポーラス膜 11 に形成され、前記ビアプラグ部 18 と接続された配線部 19 と、これらビアプラグ部 18、配線部 19 を包み込む TiN 膜 20 とを有する。

#### 【0111】

前記上層配線を形成する際、第 2 ポーラス膜 10 の表面は第 2 非ポーラス膜 11 で覆われているため、前記第 2 ポーラス膜 10 の表面が直接化学機械研磨処理されることなく、その表面の変質、荒れを防止することができた。

#### 【0112】

このような実施例 1 によれば、変質され易い脆弱な第 1、第 2 のポーラス膜 6、10 からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の上層配線が形成され、かつエッチングストッパとして機能する第 1 非ポーラス膜 7 に起因する

配線間容量が低減された半導体装置を製造することができた。

#### 【0113】

なお、前述した実施例1ではドライエッチング処理によりビアホール形状の孔を開口した後、ドライエッチング処理により配線溝を形成したが、次に説明するように配線溝の形成後にビアホールを開口してもよい。

#### 【0114】

すなわち、多層構造膜の第2非ポーラス膜11表面にフォトエッチング技術により配線溝予定部が開口されたレジストマスク21を形成した。ひきつづき、ドライエッチング処理によって前記レジストマスク21から露出する前記多層構造膜を選択的にエッチング除去した。この時、前記第2ポーラス膜10側に位置する前記第1非ポーラス膜7の第2層9は、前記レジストマスク21および前記第2ポーラス膜10に対してエッチング選択比の高いSiCH<sub>4</sub>からなる。このため、前記ドライエッチング処理において前記第2層9がその下方の第1ポーラス膜6に対するエッチングストップとして作用した。その結果、図6の(a)に示すように前記第1ポーラス膜6がエッチングガスに曝されて変質、エッチングされることなく、前記第2非ポーラス膜11および第2ポーラス膜10のみが選択的にエッチング除去されて配線溝16が形成された。なお、前記ドライエッチング処理において、前記第2非ポーラス膜11、第2ポーラス膜10のエッチング時にはフルオロカーボン系のエッチングガスを用いたが、第2非ポーラス膜11のエッチング時と第2ポーラス膜10のエッチング時とはエッチング条件を変更した。

#### 【0115】

次いで、前記レジストマスク21を酸素プラズマによるドライエッチング処理により除去した。このドライエッチング処理時において、前記第1非ポーラス膜7の第2層9がエッチングストップとして作用するとともに、前記第2非ポーラス膜11によりその下の第2ポーラス膜10表面を保護することができた。つづいて、前記配線溝16を含む前記多層構造膜の第2非ポーラス膜11表面にフォトエッチング技術によりビアホール予定部が開口されたレジストマスク22を形成した。ひきつづき、ドライエッチング処理によって前記レジストマスク22か

ら露出する前記第1非ポーラス膜7および第1ポーラス膜6を選択的にエッチング除去することにより、図6の(b)に示すように前記第1ポーラス膜6および第1非ポーラス膜7側にビアホール15、前記第2ポーラス膜10および第2非ポーラス膜11側にこのビアホール15と連通する配線溝16が形成された。なお、このドライエッチング処理において、前記第1非ポーラス膜7、第1ポーラス膜6のエッチング時にはフルオロカーボン系のエッチングガスを用いたが、前記第1非ポーラス膜7のエッチング時と第1ポーラス膜6のエッチング時とはエッチング条件を変更した。

#### 【0116】

(実施例2)

(第1工程)

半導体基板31上の例えばSiO<sub>2</sub>からなる絶縁膜32表面に導電性バリア膜であるTiN膜33で包み込まれた埋め込み銅配線(下層配線)34を形成した。この埋め込み銅配線4は、表面の一部が露出している。前記埋め込み銅配線34を含む前記絶縁膜32表面に厚さ50nmのSiCN膜(保護膜)35を形成した後、この保護膜35表面に厚さ100nmの多孔質有機シロキサン膜(第1ポーラス膜)36を形成した。つづいて、前記第1ポーラス膜36表面に第1非ポーラス膜37を形成した(図7の(a)図示)。この第1非ポーラス膜37は、前記第1ポーラス膜36表面に厚さ10nmで形成され、レジストマスクに対してエッチング選択比の高い材料、例えばSiCHからなる第1層(下層)38と、この第1層38上に厚さ30nmで積層され前記保護膜35および後述する第2ポーラス膜に対してエッチング選択比の高い材料、例えばポリアリーレンエーテルからなる第2層(上層)39との積層膜である。すなわち、前記第1非ポーラス膜37は40nmの総厚さとした。

#### 【0117】

次いで、前記第1非ポーラス膜37の第2層39表面に厚さ100nmの多孔質有機シロキサン膜(第2ポーラス膜)40を形成した。この後、この第2ポーラス膜40表面に厚さ200nmの有機シロキサン膜(第2非ポーラス膜)41を形成した(図7の(b)図示)。このような第1ポーラス膜36、第1非ポー



ラス膜 37、第2ポーラス膜 40 および第2非ポーラス膜 41 の積層により多層構造膜を形成した。

#### 【0118】

##### (第2工程)

前記多層構造膜の第2非ポーラス膜 41 表面にフォトエッチング技術によりビアホール予定部が開口されたレジストマスク 42 を形成した。つづいて、ドライエッチング処理によって前記レジストマスク 42 から露出する前記多層構造膜を選択的にエッチング除去することにより、図8の(c)に示すように底部が前記保護膜 35 まで達するビアホール形状の孔 43 を開口した。このドライエッチング処理において、前記第1、第2の非ポーラス膜 37、41、第1、第2のポーラス膜 36、40 のエッチング時にはフルオロカーボン系のエッチングガスを用いた。なお、前記第1、第2の非ポーラス膜 37、41 のエッチング時と第1、第2のポーラス膜 36、40 のエッチング時とではエッチング条件を変更した。

#### 【0119】

次いで、前記レジストマスク 42 を酸素プラズマによるドライエッチング処理により除去した。このドライエッチング処理時において、前記第2非ポーラス膜 41 によりその下の第2ポーラス膜 40 表面を保護することができた。つづいて、前記多層構造膜の第2非ポーラス膜 41 表面にフォトエッチング技術により配線溝予定部が開口されたレジストマスク 44 を形成した。ひきつづき、ドライエッチング処理によって前記レジストマスク 44 から露出する前記多層構造膜を選択的にエッチング除去した。この時、前記第2ポーラス膜 40 側に位置する前記第1非ポーラス膜 37 の上層の第2層 39 は、前記保護膜 35 および第2ポーラス膜 40 に対してエッチング選択比の高いポリアリーレンエーテルからなる。このため、前記ドライエッチング処理において前記第2層 39 がその下方の第1ポーラス膜 36 に対するエッチングストップとして作用した。その結果、前記第1ポーラス膜 36 がエッチングガスに曝されて変質、エッチングされることなく、前記第2非ポーラス膜 41 および第2ポーラス膜 40 が配線溝形状に選択的にエッチング除去された。この工程により、図8の(d)に示すように前記第1ポーラス膜 36 および第1非ポーラス膜 37 にビアホール 45、前記第2ポーラス膜

40 および第2非ポーラス膜41にこのビアホール45と連通する配線溝46が形成された。なお、前記ドライエッチング処理において、前記第2非ポーラス膜41、第2ポーラス膜40のエッチング時にはフルオロカーボン系のエッチングガスを用いたが、第2非ポーラス膜41のエッチング時と第2ポーラス膜40のエッチング時とはエッチング条件を変更した。

#### 【0120】

前記2回のドライエッチング処理によるビアホール45および配線溝46の形成において、前記絶縁膜32の埋め込み配線34の表面は前記保護膜35で覆われる。このため、前記埋め込み配線34の表面がドライエッチング処理時のエッチングガスに曝されるのを防止し、埋め込み配線34表面の荒れを防ぐことができた。

#### 【0121】

また、前記2回のドライエッチング処理において第2ポーラス膜40の表面は第2非ポーラス膜41で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜40が変質、エッチングされるのを防止することができた。

#### 【0122】

##### (第3工程)

前記レジストマスク44を残した状態で、フルオロカーボン系のエッチングガスを用いたドライエッチング処理により前記ビアホール45底に露出した前記保護膜35を除去した。この時、前記配線溝46の底に位置する前記第1非ポーラス膜37はレジストマスクに対してエッチング選択比の高いSiCHからなる第1層(下層)38と、この第1層38上に積層され、前記保護膜35および第2ポーラス膜40に対してエッチング選択比の高いポリアリーレンエーテルからなる第2層(上層)39との積層構造を有する。このため、前記保護膜35の除去時に前記第2層39がエッチングストッパとして作用する。その結果、前記第2層39を有する前記第1非ポーラス膜37下の第1ポーラス膜36が変質、エッチングされることなく、前記保護膜35が選択的に除去され、図9の(e)に示すように前記ビアホール45の底を前記埋め込み配線34と連通させるための窓47が開口された。

## 【0123】

## (第4工程)

前記レジストマスク44をアンモニア100体積%からなるエッチングガスを用いるドライエッチング処理により除去した。この時、前記配線溝46の底に露出する前記第1非ポーラス膜37の第1層38は、前記レジストマスク44に対してエッチング選択比の高いSiCHからなるため、前記レジストマスク44の除去時に前記配線溝46の底に露出する上層の第2層39がエッチングされるものの、下層の第1層38がエッチングストップとして作用する。その結果、図9の(f)に示すように前記第1層38を有する前記第1非ポーラス膜37下の第1ポーラス膜36がエッチングガスに曝されて変質、エッチングされることなく、前記レジストマスク44を除去できた。

## 【0124】

なお、前記アンモニアからなるエッチングガスを用いるドライエッチング処理により前記レジストマスク44を除去することによって、前記第3工程で開口した窓47から露出した埋め込み配線34の表面の荒れを防ぐことができた。

## 【0125】

前記第3工程および第4工程でのドライエッチング処理において、前記第2ポーラス膜40の表面は第2非ポーラス膜41で覆われているため、それら処理時のエッチングガスにより第2ポーラス膜40の表面が変質、エッチングされるのを防止できた。

## 【0126】

## (第5工程)

前記ビアホール45および配線溝46の内面に導電性バリア膜であるTiN膜を形成した後、スパッタ法とメッキ法によりCu(配線材料)を埋め込んだ。この後、化学機械研磨処理により余剰なCuおよび第2非ポーラス膜41表面のTiN膜を除去することによって、図10の(g)に示すように前記保護膜35および多層構造膜にデュアルダマシン構造の上層配線を形成して半導体装置の製造した。このデュアルダマシン構造の上層配線は、前記第1非ポーラス膜37を境にして前記保護膜35および前記多層構造膜の第1ポーラス膜36に形成され、

前記埋め込み配線（下層配線）34と接続されたビアプラグ部48と、前記第1非ポーラス膜37を境にして前記第2ポーラス膜40および第2非ポーラス膜41に形成され、前記ビアプラグ部48と接続された配線部49と、これらビアプラグ部48、配線部49を包み込むTiN膜50とを有する。

#### 【0127】

前記多層配線を形成する際、第2ポーラス膜40の表面は第2非ポーラス膜41で覆われているため、前記第2ポーラス膜40の表面が直接化学機械研磨処理されることなく、その表面の変質、荒れを防止することができた。

#### 【0128】

このような実施例2によれば、変質され易い脆弱な第1、第2のポーラス膜36、40からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の上層配線が形成され、かつエッチングストッパとして機能する第1非ポーラス膜37に起因する配線間容量が低減された半導体装置を製造することができた。

#### 【0129】

なお、前記実施例1、2では単層の保護膜および第2非ポーラス膜を用いたが、異なる2種類以上の積層膜であってもよい。

#### 【0130】

さらに、前記実施例1、2では第1非ポーラス膜は2層構造にしたが、3層以上の積層構造であってもよい。ただし、中間ストッパ膜を構成する第1非ポーラス膜の膜数増加は、中間ストッパ膜の膜厚の増加による配線間容量の増加、中間ストッパ膜形成と上層配線形状の加工における工程数の増加、中間ストッパ膜間の界面制御の複雑化を伴うため、中間ストッパ膜を構成する第1非ポーラス膜の膜数は少ない方が望ましい。

#### 【0131】

##### 【発明の効果】

以上詳述したように本発明によれば、配線間容量を低減しつつ、変質され易い脆弱なポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の配線を形成することが可能な半導体装置の製造方法を提供できる。

#### 【0132】

本発明によれば、変質され易い脆弱なポーラス膜からなる層間絶縁膜に信頼性の高いデュアルダマシン構造の配線を有し、配線間容量を低減した半導体装置を提供できる。

【図面の簡単な説明】

【図 1】 本発明の実施例 1 における半導体装置の製造工程を示す断面図。  
【図 2】 本発明の実施例 1 における半導体装置の製造工程を示す断面図。  
【図 3】 本発明の実施例 1 における半導体装置の製造工程を示す断面図。  
【図 4】 本発明の実施例 1 における半導体装置の製造工程を示す断面図。  
【図 5】 本発明の実施例 1 における半導体装置の製造工程を示す断面図。  
【図 6】 本発明の実施例 1 における別のビアホールおよび配線溝の形成工程を示す断面図。

【図 7】 本発明の実施例 2 における半導体装置の製造工程を示す断面図。  
【図 8】 本発明の実施例 2 における半導体装置の製造工程を示す断面図。  
【図 9】 本発明の実施例 2 における半導体装置の製造工程を示す断面図。  
【図 10】 本発明の実施例 2 における半導体装置の製造工程を示す断面図。

。

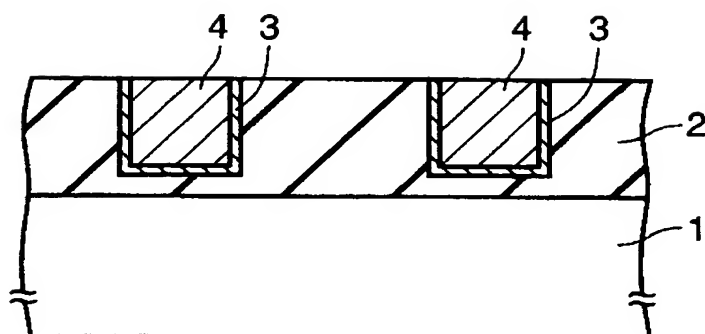
【符号の説明】

1, 31…半導体基板、2, 32…絶縁膜、4, 34…埋め込み配線、5, 35…保護膜（SiCN 膜）、6, 36…第 1 ポーラス膜（多孔質有機シロキサン膜）、7, 37…第 1 非ポーラス膜、8…第 1 層（ポリアリーレンエーテル）、9…第 2 層（SiCH）、10, 40…第 2 ポーラス膜（多孔質有機シロキサン膜）、11, 41…第 2 非ポーラス膜（有機シロキサン膜）、12、14、21、22、42、43…レジストマスク、15, 45…ビアホール、16, 46…配線溝、18, 48…ビアプラグ部、19, 49…配線部、38…第 1 層（SiCH）、39…第 2 層（ポリアリーレンエーテル）。

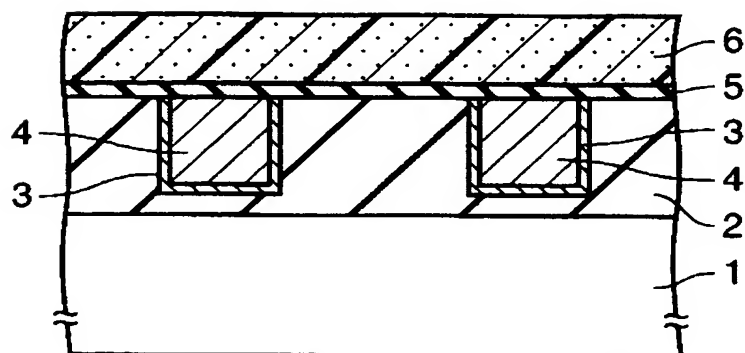
【書類名】

図面

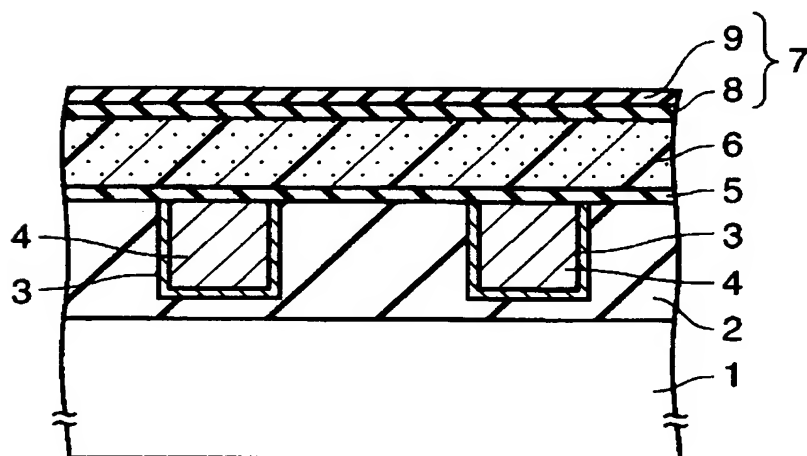
【図 1】



(a)

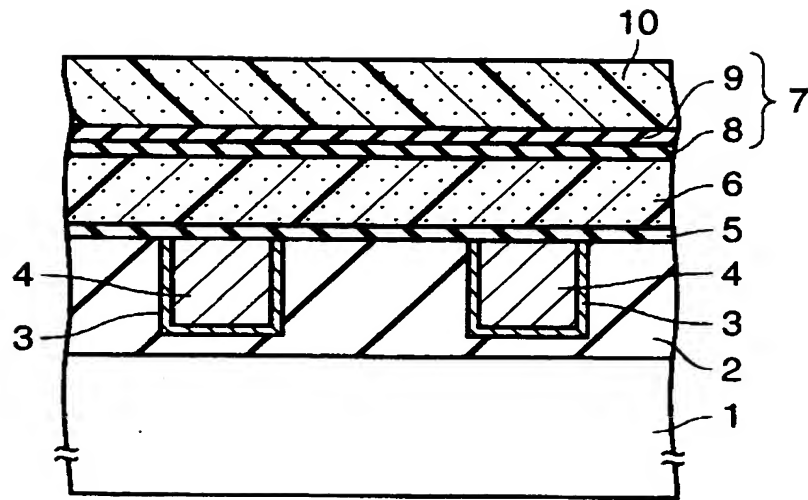


(b)

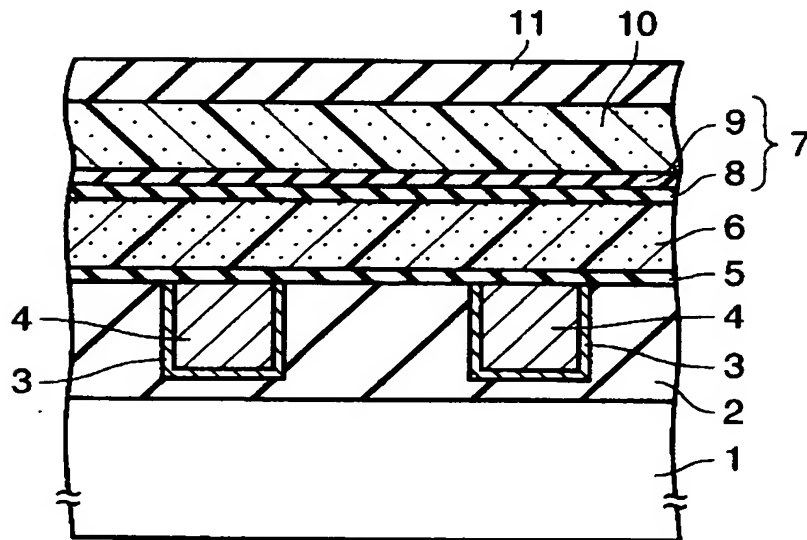


(c)

【図 2】

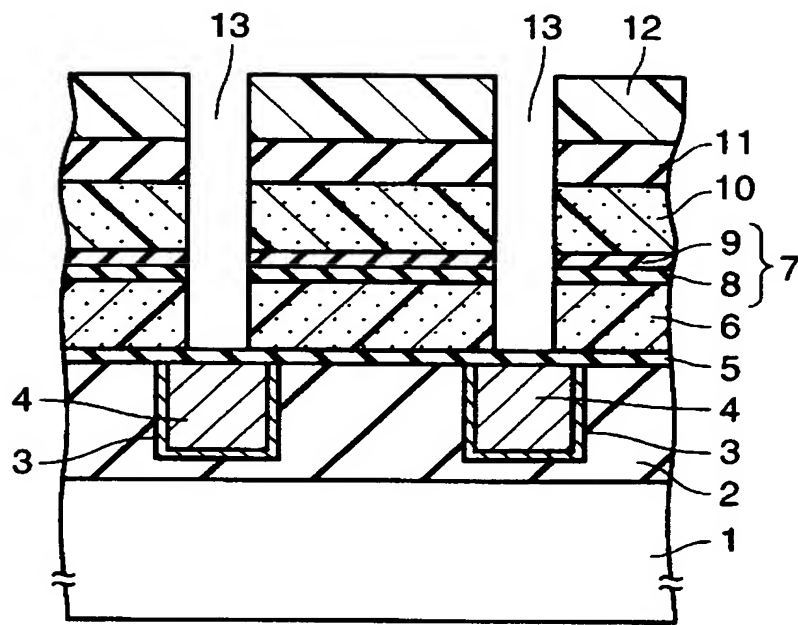


(d)

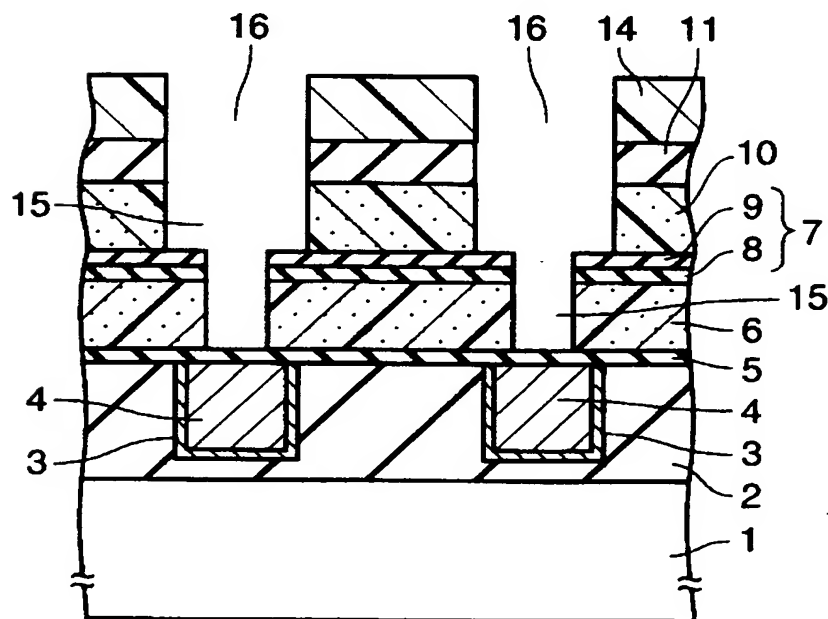


(e)

【図 3】



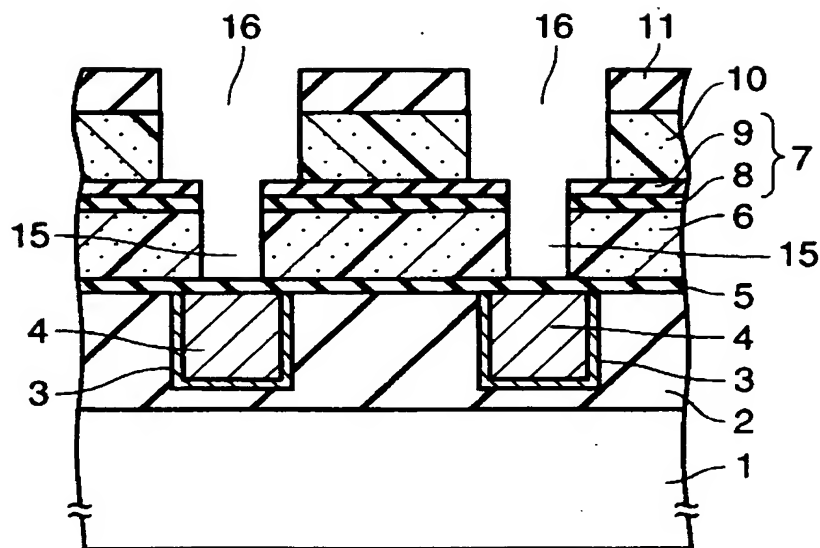
(f)



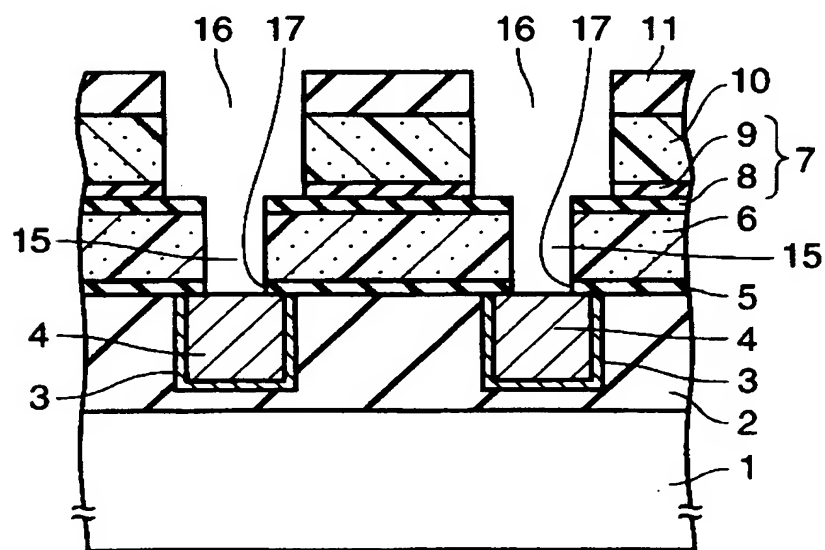
(g)



【図 4】

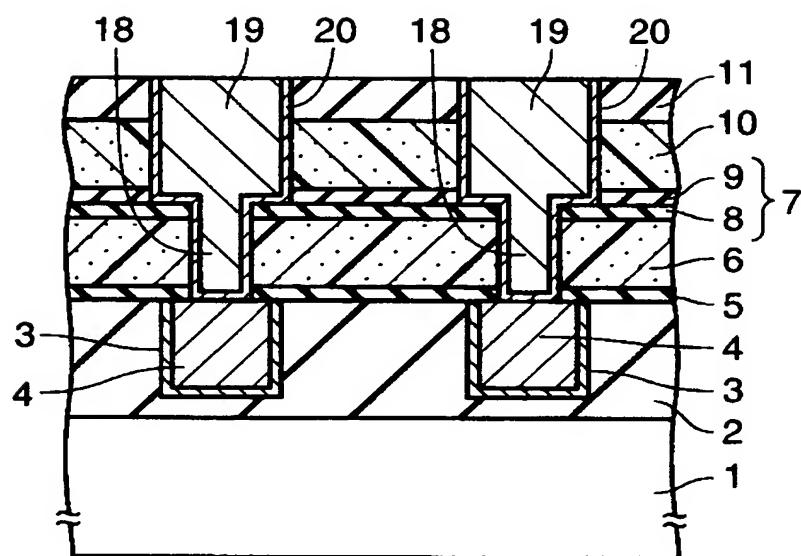


(h)



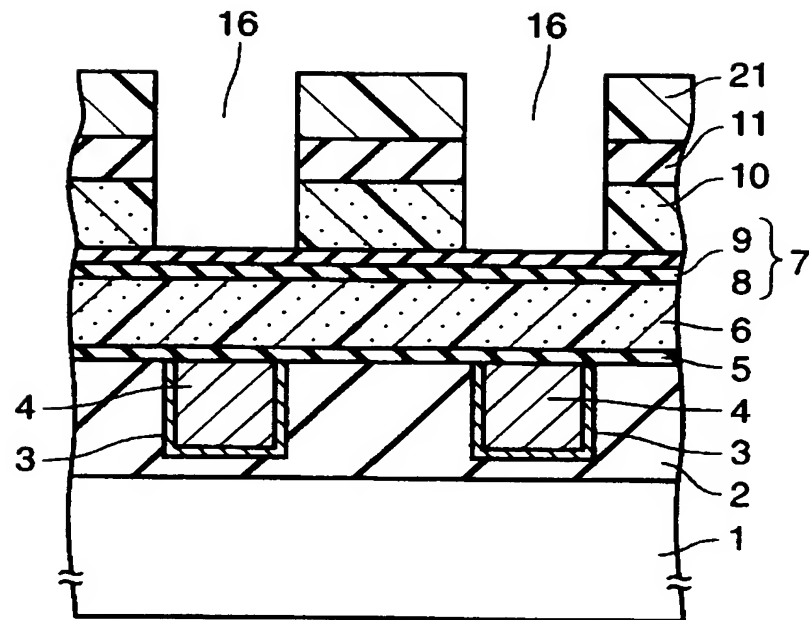
(i)

【図 5】

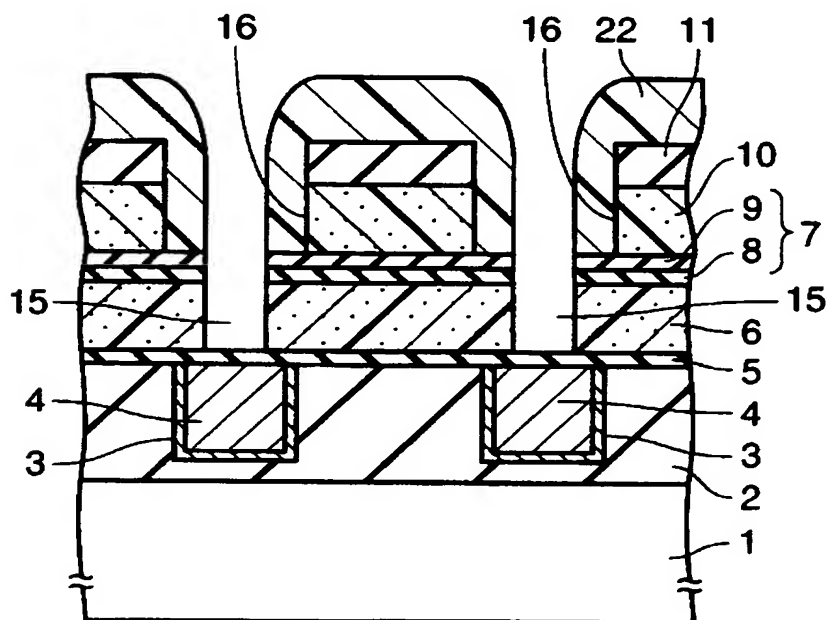


(j)

【図 6】

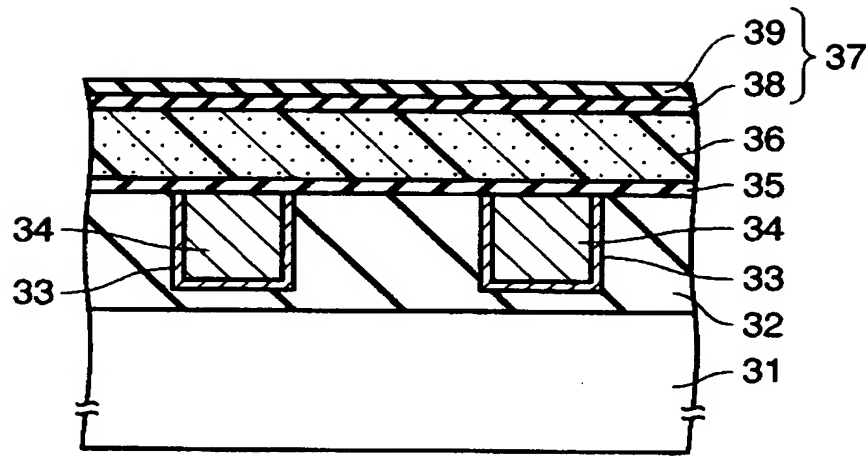


(a)

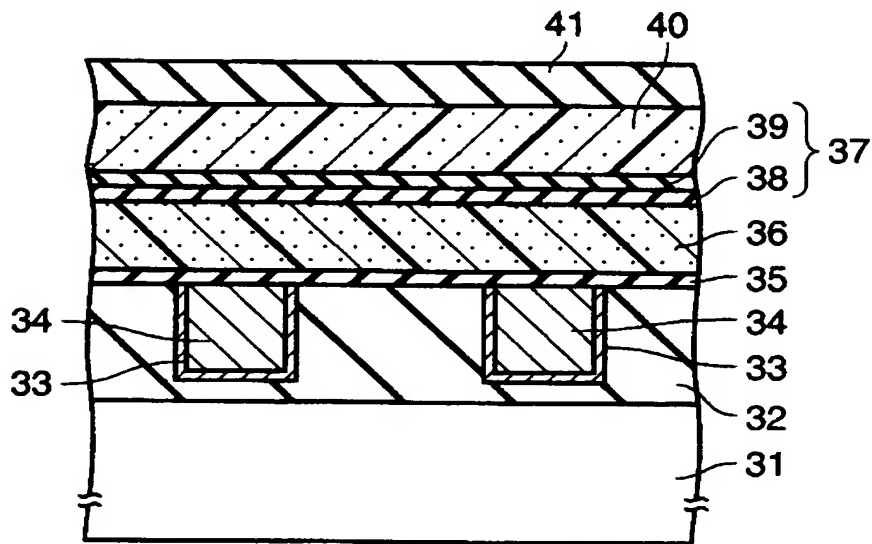


(b)

【図 7】

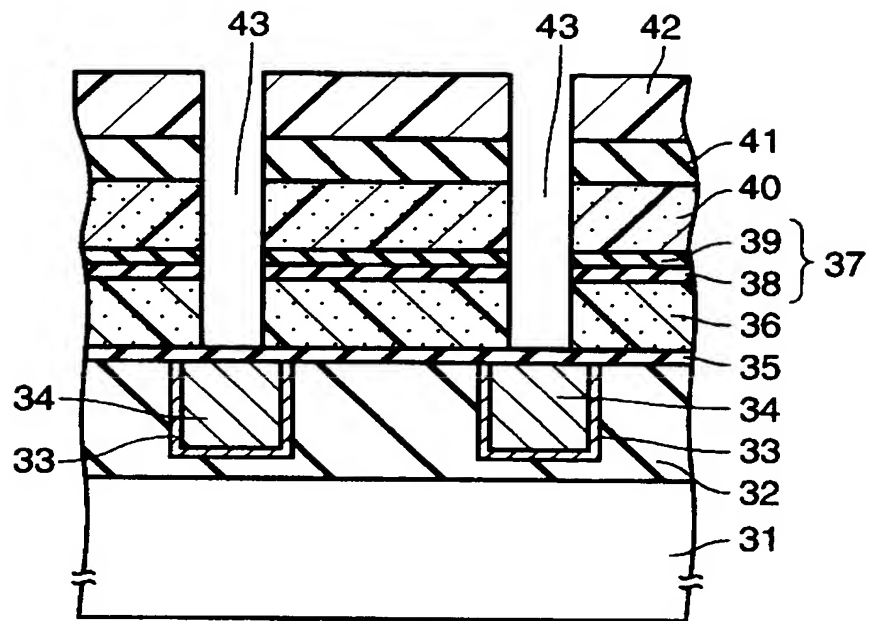


(a)

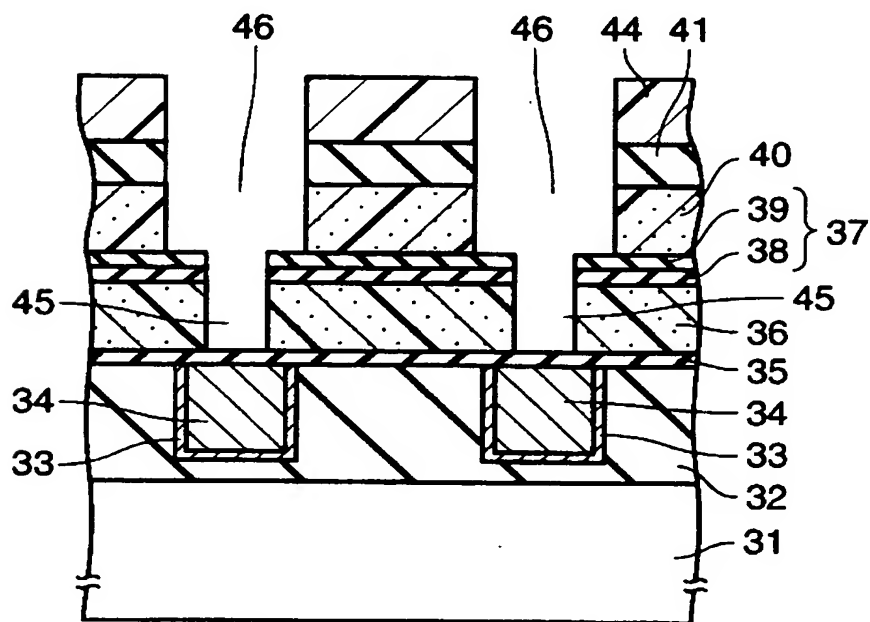


(b)

【図 8】

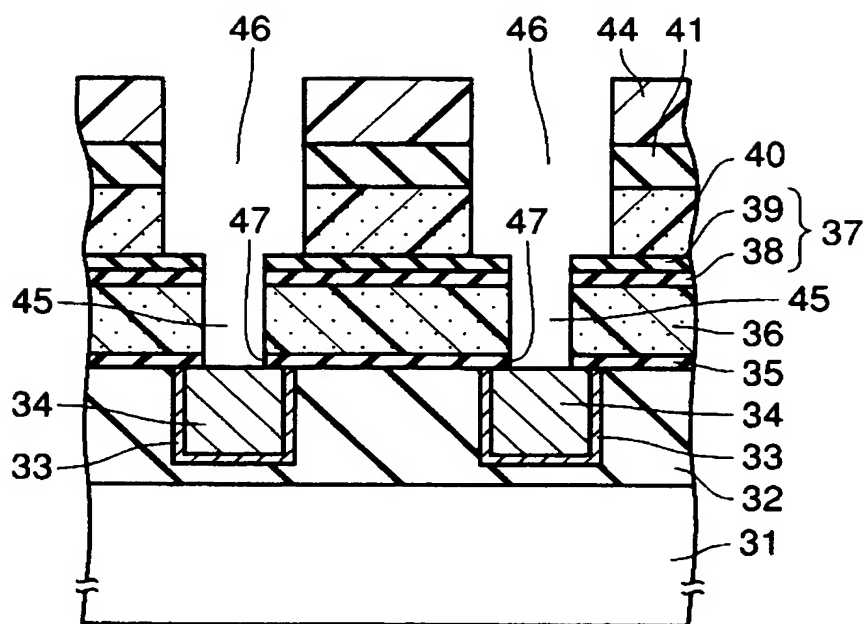


(c)

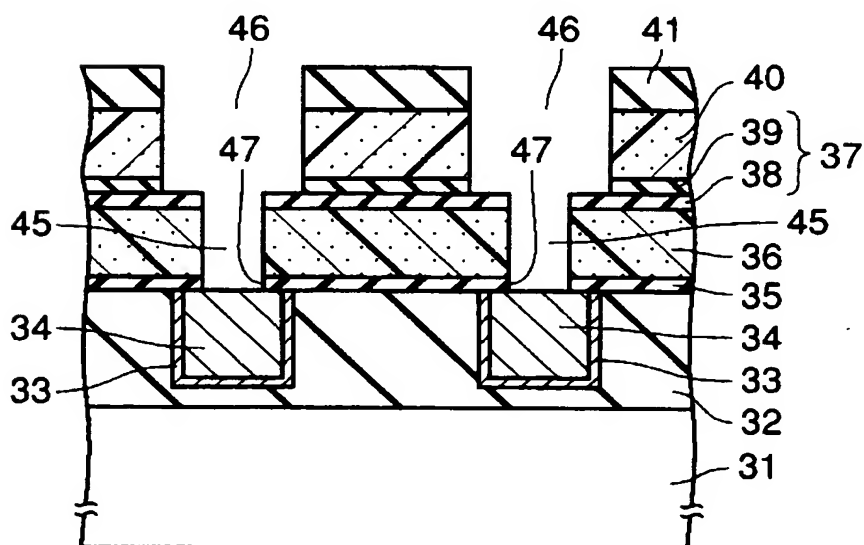


(d)

【図 9】

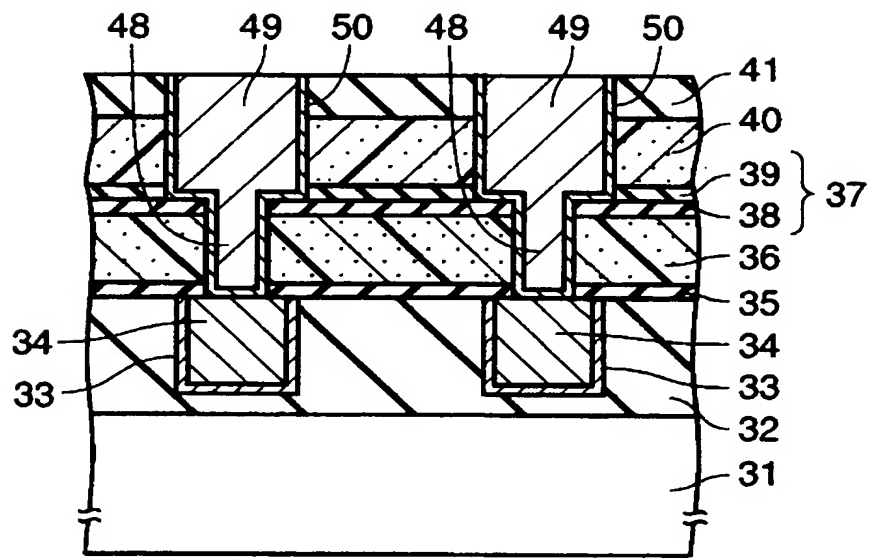


(e)



(f)

【図 10】



(g)

【書類名】 要約書

【要約】

【課題】 配線間容量を低減し、ポーラス膜（層間絶縁膜）に信頼性の高いデュアルダマシン構造の配線を形成する。

【解決手段】 半導体基板上の絶縁膜に下層配線を形成する、保護膜を形成し、保護膜に第 1 ポーラス膜、第 1 非ポーラス膜、第 2 ポーラス膜、第 2 非ポーラス膜の多層構造膜を形成する、レジストマスクを用いて多層構造膜をドライエッチングしてビアホール、配線溝を形成する、レジストマスクを除去する、ビアホール底に露出した保護膜を除去する、ビアホール、配線溝にデュアルダマシン構造の上層配線を形成する、工程を含み、第 1 非ポーラス膜は少なくとも 2 つの層を有し、第 1 ポーラス膜側に位置する第 1 層が保護膜に対してエッチング選択比の高い材料、この第 1 層より第 2 ポーラス膜側に位置する第 2 層がレジストマスクと第 2 ポーラス膜に対してエッチング選択比の高い材料、からなる積層膜を用いる。

【選択図】 図 5



特願 2 0 0 3 - 0 1 0 1 3 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1 . 変 更 年 月 日

2 0 0 1 年    7 月    2 日

[ 変 更 理 由 ]

住所変更

住    所

東京都港区芝浦一丁目 1 番 1 号

氏    名

株式会社東芝